

引用文献 /

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163210

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/3206

H 0 1 L 21/88

S

G 0 6 F 17/50

G 0 6 F 15/80

G 0 6 H

H 0 1 L 21/82

H 0 1 L 21/82

W

21/88

K

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平9-199987

(22) 公開日 平成9年(1997) 7月25日

(31) 優先権主張番号 特願平8-199987

(32) 優先日 平 8 (1996) 7月30日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-280431

(32) 優先日 平 8 (1996) 10月 1 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(71) 出願人 000111889

パイオニアビデオ株式会社

山梨県中巨摩郡10富町西花輪2880番地

(71) 出願人 000000018

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(74) 代理人 弁理士 高矢 簡 (外 2 名)

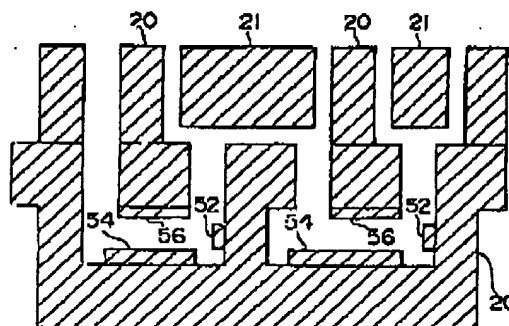
最終頁に続く

(54) 【発明の名称】 半導体装置及び配線用レジスタルの製造方法

(57) 【要約】

【課題】 半導体装置の表面を平坦化する。

【解決手段】 ダミー配線の挿入が許されない配線間スペースに、所定幅L1、L2の仮想配線パターン50、52、54、56を発生させ、該発生させた仮想配線パターンを、当該配線間スペースに面する配線パターンのいずれかに密着させ、該密着後の配線パターンから、最小配線幅に至らなかったノッチ部分を消去することにより、配線パターンを太らせる。配線パターンの配線折れ曲がり部の配線間隔を、単純な折れ曲がりパターンの場合よりも狭める。



BEST AVAILABLE COPY

(2)

特開平10-163210

【特許請求の範囲】

【請求項1】多層配線が行われる半導体装置の製造方法において、

半導体基板上に配線用金属を堆積する工程と、
ダミー配線の挿入が許される配線間スペースにはダミー配線が設け、ダミー配線の挿入が許されない配線間スペースは、該配線間スペースに面する配線パターンを太らせることによって減少された配線層を形成する工程と、
前記配線層の上に層間絶縁膜を形成する工程と、
前記層間絶縁膜の表面を平坦化する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】請求項1において、前記層間絶縁膜の表面を平坦化する工程が、化学的機械的研摩工程である半導体装置の製造方法。

【請求項3】請求項1において、前記配線層を形成する工程で、更に、配線折れ曲がり部の配線間隔が、単純な折れ曲がりパターンの場合よりも狭められていることを特徴とする半導体装置の製造方法。

【請求項4】配線用レチクルの製造方法において、
配線間スペースが狭く、ダミー配線の挿入が許されない箇所に、所定幅の仮想配線パターンを発生させ、
該発生させた仮想配線パターンを、当該配線間スペースに面する配線パターンのいずれかに密着させ、
該密着後の配線パターンのうち、最小配線幅に至らなかった部分を消去することにより、
前記配線パターンを太らせることを特徴とする配線用レチクルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び配線用レチクルの製造方法に係り、特に、多層配線構造を有する半導体装置に用いるのに好適な、表面を平坦化することが可能な半導体装置及び配線用レチクルの製造方法に関する。

【0002】

【従来の技術】従来、半導体装置の各素子を接続する配線は、図24にMOS型トランジスタの例を示すように、半導体基板10上にソースやドレインとなる拡散層領域12が複数設けられ、各拡散層領域12間でコンタクトホール17を介してアルミニウム等の第1層金属配線20を用いて行われている。この金属配線層は、各素子の配置状態により様々であり、図24では、ポリシリコンゲート等の下層配線18も設けられている。

【0003】この場合、よく知られているように、配線層間膜の下層配線層に対する平坦性は、下層配線18等の配線幅や配線間隔に依存し、特に、配線間隔に依存する。従って、半導体装置内部に、様々な配線間隔が生じることを前提とした場合、層間膜形成の条件や方法が複雑になるという問題点が存在した。

【0004】このような問題点を解決するため、図25

に示すように、広い配線間隔に、電気的に独立したダミー配線21を設けることが行われている。このようなダミー配線21を形成することによって、配線間隔を狭めることができ、層間膜を形成する条件や方法を、ダミー配線がない場合に比べて簡略にすることが可能となった。

【0005】しかしながら、正規配線20と独立したダミー配線21を設ける従来の方法では、正規配線20の間隔が、工程上許容される最小配線幅のダミー配線が配置可能な間隔より広くないと、ダミー配線を挿入することができないという問題点を有していた。

【0006】即ち、図26に示す如く、正規配線20の間隔が、 $2S+L$ （ここで、 S は配線ルールで許容された最小配線間隔、 L は同じく最小配線幅）以上であれば、幅が L 以上の $L+\alpha$ のダミー配線21を挿入することが可能である。ところが、図27に示す如く、正規配線20の間隔が $2S+L$ 未満であると、ダミー配線21の幅が最小配線幅未満の $L-\alpha$ となってしまう、デザインルールに違反するため、最終的にダミー配線21が消されてしまい、ダミー配線21を残すことができなかった。

【0007】配線層間膜の平坦化は、先に述べたように、配線間隔に依存し、例えば図28に示すように、下層配線18と配線20の間の層間膜として、一般的なSOG (Spin On Glass) による塗布膜34をCVD (Chemical Vapor Deposition) 酸化膜36間に挟み込んだ場合、該塗布膜34による凹部の埋め込みによる層間膜の平坦化に最適な配線間隔が存在するが、従来のようにダミー配線を挿入することができない配線間隔が存在すると、層間膜を十分に平坦化できないという問題点を有していた。

【0008】又、LSI (Large Scale Integrated circuit) の高集積化に伴い、配線の微細化と配線の多層化が進んでいる。配線の微細化と多層化を実現するためには、レチクルによる配線のパターンニング工程で、レジストパターンを露光する際の焦点深度の確保が必要であり、そのため、各層での平坦化が重要となっている。

【0009】各層の平坦化を実施する方法の1つに、形成された配線上に酸化膜を成膜した後、段差部分を研磨し、平坦化する化学的機械的研摩法、いわゆるCMP (Chemical Mechanical Polishing) 法があり、広く用いられている。

【0010】このCMP法を、図29及び図30を用いて説明する。予めシリコン基板等の半導体基板10上に、層間絶縁膜16と、その上に形成される金属配線20が、通常の方法により形成されているものとする。この状態から、まず、図29に示すように、当該金属配線20の後の工程で、当該金属配線20間及び該金属配線20上に形成する上層配線（図示省略）の間を絶縁する

BEST AVAILABLE COPY

(3)

特開平10-163210

ための絶縁膜22を形成する。次いで、該絶縁膜22の表面をCMP法により化学的及び機械的に研磨し、図30に示すような平坦な層間膜を形成する。

【0011】このCMP法の過程で、絶縁膜22を形成する際には、絶縁膜22の表面レベルの最も低い部分221を、上層配線（図示省略）との間に必要な絶縁膜厚程度、金属配線20の表面位置20uより相対的に高くする必要がある。このためには、次の3つの方法がある。

【0012】A. 配線間の埋め込み性に優れた成膜方法である高密度プラズマCVD法を用いて成膜する。

【0013】B. 例えばSOG等で配線間を埋め込む。

【0014】C. 通常のCVD法で、配線が埋め込まれるまで、厚く成膜する。

【0015】しかしながら、A法で用いる高密度プラズマCVD法は、現在の最新の技術であり、新規の装置導入が必要となる。又、B法では、SOGで用いる埋め込み材料の膜質が悪く、絶縁性が低いため、埋め込み材料の上下を絶縁性の良い材料で挟んだサンドイッチ構造とする必要があり、処理工程数が3工程増えてしまう。従って、C法を選択する機会が多いが、このC法でも、下地の段差を反映しないカバレッジの悪い成膜方法では、図31に示す如く、配線間の上部にオーバーハングが形成され、その下にボイド38が発生するため、破線AのレベルまでCMP法により研磨すると、平坦面上に凹み22rができてしまう。

【0016】これを防止するためには、例えばTEOSベースのP-CVD法のようなカバレッジの良い成膜方法を用いる必要がある。しかしながら、配線間隔に2～5μm程度の広い部分がある場合、図32に示す如く、配線20上に堆積される絶縁膜22の厚みBと、配線間に堆積される絶縁膜22の厚みCの割合（成膜比）が約5対3となるので、例えば配線厚みによる段差（配線段差と称する）が5000Åで、CMP処理後の配線上部に5000Åの絶縁膜厚を残したい場合には、配線上の絶縁膜を、

$$17000\text{Å} = (5000\text{Å} + 5000\text{Å}) \times 5 \div 3$$

程度とかなり厚く成膜し、その後、CMP法で、

$$12000\text{Å} = 17000\text{Å} - 5000\text{Å}$$

程度研磨する必要がある。装置のスループット及び製造原価で大きな損失となってしまふ。

【0017】これを防止するため、金属配線20間にダミーパターンを配置して配線間の間隔を狭め、配線間を配線側壁20sからの膜成長によって埋め、CMP前に必要な絶縁膜厚を薄くする工夫がなされている。しかしながら、この方法においても、図32に示した如く、配線側壁20sでの成膜比は、例えばB:D=5:2程度とかなり低いので、図33に示す如く、平行に並んでいる配線20が折れ曲がったとき等に生じる、僅かな配線間隔の増加が、CMP前の絶縁膜の厚膜化につながって

しまい、スループットを低下させ、製造原価を増加させてしまうという問題点を有していた。図33の例においては、配線直達部の配線間隔が1.2μmであるのが、配線折れ曲がり部では1.2√2μmに広がってしまう。

【0018】図33の配線パターンにおいて、配線段差6000Åで上層配線との間の最低絶縁膜厚が7000Åとなる平坦な絶縁膜を形成する場合を考える。予めシリコン基板（図示省略）上に、層間絶縁膜16と、その上に形成される厚さ6000Åの金属配線20が、図33のパターンを用いて通常の方法により形成されているものとする。このとき、パターン内で最も広い配線間隔である図33のE-E線に沿う断面図は、図34に示す如くとなる。この状態から、カバレッジの良い絶縁膜形成装置であるP-TEOS CVD装置を用いて、上部配線との間を絶縁する絶縁膜22を形成する。P-TEOS CVD装置では、配線上部と側壁での成膜比が5対2となるので、図34に示した配線間隔1.2√2μmを埋め込むためには、図35に示す如く約21000Åの膜厚が必要となる。P-TEOS CVD装置で安定した膜を1回に成膜できる最大の膜厚は9000Åであるので、7000Åを3回に分けて成膜する。成膜後の形状は図35に示す如くとなる。この状態から、CMPにより14000Å研磨して、図36に示すような所望の平坦な絶縁膜形状が得られる。

【0019】このように、図33の配線パターンでは、3回に分けて絶縁膜16を21000Å以上成膜した後、CMPにより14000Å研磨しなければ、図36のような平坦な絶縁膜を形成できない。

【0020】

【発明が解決しようとする課題】本発明は、前記従来の問題点を解決するべくなされたもので、半導体装置の表面を平坦化することを第1の課題とする。

【0021】本発明は、又、従来の方法ではダミー配線の挿入が許されない、S以上、L+2S未満の配線間隔を減少させて、層間膜の平坦化を容易にすることを第2の課題とする。

【0022】本発明は、又、後工程で平坦化する必要がある絶縁膜を、必要最低限の厚さで成膜できるようにすることを第3の課題とする。

【0023】

【課題を解決するための手段】本願の第1発明は、多層配線が行われる半導体装置の製造方法において、半導体基板上に配線用金属を堆積する工程と、ダミー配線の挿入が許される配線間スペースにはダミー配線を設け、ダミー配線の挿入が許されない配線間スペースは、該配線間スペースに面する配線パターンを太らせることによって減少された配線層を形成する工程と、前記配線層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の表面を平坦化する工程とを含むことにより、前記第1及び第

BEST AVAILABLE COPY

(4)

特開平10-163210

2の課題を解決したものである。

【0024】又、前記配線間スペースの両側の配線パターンを、略均等に太らせるようにしたものである。

【0025】又、前記配線層を形成する工程で、ダミー配線の挿入が許されない配線間スペースを最小配線間隔、又は、その2倍まで減少させたものである。

【0026】又、前記層間絶縁膜の表面を平坦化する工程を、化学的機械的研摩(CMP)工程としたものである。

【0027】又、前記層間絶縁膜の表面を平坦化する工程を、前記層間絶縁膜の全面エッチバックとしたものである。

【0028】又、前記配線層を形成する工程で、更に、配線折れ曲がり部の配線間隔を単純な折れ曲がりパターンの場合よりも狭めることにより、前記第3の課題を解決したものである。

【0029】又、前記配線折れ曲がり部の配線間隔を、外側の配線コーナーに隣付けすることにより狭めたものである。

【0030】更に、前記配線折れ曲がり部の内側の配線コーナーを隅切りしたものである。

【0031】又、多層配線が行われる半導体装置又は配線用レチクルの製造方法において、配線間スペースが狭く、ダミー配線の挿入が許されない箇所に、所定幅の仮想配線パターンを発生させ、該発生させた仮想配線パターンを、当該配線間スペースに面する配線パターンのいずれかに密着させ、該密着後の配線パターンのうち、最小配線幅に至らなかった部分を消去することにより、前記第1及び第2の課題を解決したものである。

【0032】又、前記所定幅を最大配線幅以下の所定値とし、該所定値を小さくしながら、目標配線間隔になるまで、当該配線間スペースに面する両側の配線パターンに、繰返し削り振るようにしたものである。

【0033】或いは、前記所定幅を、目標配線間隔を得るために必要な配線太らせ幅の略半分値とし、当該配線間スペースに面する両側の配線パターンに、2回で削り振るようにしたものである。

【0034】更に、前記配線パターンを太らせる処理を、互いに直交する2方向について行うようにしたものである。

【0035】

【発明の実施の形態】以下図面を参照して、本発明の実施形態を詳細に説明する。

【0036】まず、第1発明の第1実施形態を説明する。

【0037】図1は、従来技術により拡散層領域間の正規配線20を行った状態を示す。

【0038】この図1に示したような正規配線20に対して、従来の方法によって、ダミー配線21を付加した状態を図2に示す。ダミー配線の配置に際しては、例え

ば、図1に示した正規配線20の反転パターン(非配線部のパターン)を形成し、この反転パターンを、例えば、

$S + (L/2) = 1.0 + (1.4/2) = 1.7 \mu\text{m}$
アンダーサイズし、次いで、

$L/2 = 1.4/2 = 0.7 \mu\text{m}$

オーバーサイズすることによって、正規配線20との間隔が最小配線間隔Sとなったダミー配線21を発生することができる。

【0039】ここで、配線領域の反転パターンを単純にSだけアンダーサイズするのではなく、L/2だけ余分にアンダーサイズした後、L/2だけオーバーサイズして元に戻しているのは、単純にSだけアンダーサイズしたのでは、最小配線幅Lのルールに違反する部分が発生するので、これを防止するためである。例えば配線間隔が3.0 μm であった場合、反転パターンのSのアンダーサイズでは、3 μm 幅の反転パターンがアンダーサイズにより、

$3.0 - (2 \times 1.0) = 1.0 \mu\text{m}$

幅となり、最小配線幅1.4 μm に違反してしまう。これに対して、 $S + (L/2)$ のアンダーサイズであれば、

$3.0 - (2 \times 1.7) = -0.4 \mu\text{m}$

となるため、通常のCADにおける設計でパターンが消滅し、ルール違反は生じない。

【0040】このような作業によりダミー配線21を発生し、正規配線20と合成することによって、ダミー配線挿入後の配線パターンを得ることができる。図2は、この状態を示したものである。ダミー配線挿入後の配線間隔Mは、

$2 \times \{S + (L/2)\} = 2 \times \{1.0 + (1.4/2)\} = 3.4 \mu\text{m}$

未満となる。

【0041】この図2のようなパターンは、従来技術によって得られるものであり、ダミー配線を挿入する方法は、前記の方法に限定されない。

【0042】図2に示したダミー配線が挿入されたパターンの配線間隔を、第1発明により最小配線間隔まで減少させた具体例を図3に示す。

【0043】上記具体例は、最小間隔S=1.0 μm 以上、 $2S + L = 3.4 \mu\text{m}$ 未満である、ダミー配線の挿入が許されない配線間スペースを、該配線間スペースに面する配線パターンを太らせることによって、減少することを特徴とする。

【0044】更に、前記配線間スペースに面する配線パターンが、略均等に太らされていることを特徴とする。

【0045】又、前記配線間スペースが、最小配線間隔まで減少されていることが望ましい。

【0046】具体的実現方法は特に問わず、CADによって実現することができる。

BEST AVAILABLE COPY

(5)

特開平10-163210

【0047】以下にCADによって実現する第1発明の第2実施形態を説明する。

【0048】本実施形態では、図4に示す如く、配線間スペースが狭く、ダミー配線の挿入が許されない箇所の例えば中央位置に、残りの配線間隔が例えば $T/2$ ずつとなるよう、最小配線幅 L より小さな所定幅 $L1$ の第1の仮想配線パターン50を発生させ、図5に示す如く、該発生させた仮想配線パターン50を、当該配線間スペースに面する正規配線20のいずれか一方（図では左側の正規配線20L）に密着させる。

【0049】更に、図6に示すように、残りの配線間隔 T の例えば中央位置に、残りの配線間隔が S ずつとなるよう、前記第1の仮想配線パターン50よりも狭い所定幅 $L2$ の第2の仮想配線パターン52を発生させ、図7に示す如く、反対側の正規配線、図では右側の正規配線20Rに密着させる。これにより、第1の仮想配線パターン50が密着された左側の正規配線20Lと、第2の仮想配線パターン52が密着された右側の正規配線20Rの間隔は、 $2S$ まで縮められる。

【0050】次に図8に示す如く、第1及び第2の仮想配線パターン50、52の内、密着する正規配線が存在せず、最小配線幅に至らなかったノッチ部分50N、52Nを、CADの通常のデザインルールに従って、例えばアンダーサイズ（縮小）し、次いでオーバーサイズ（拡大）して消すことによって、目的とする配線パターンを得ることができる。

【0051】このような作業を、予め設計時に行うことにより、配線間隔の最大値を $2S$ にまで小さくすることができ、例えば、一般的な塩布膜をCVD酸化膜間に挟み込んだ構造を利用した場合の層間膜構造で、平坦化をより容易に行うことが可能となる。

【0052】一般的には、CAD上のレチクル作成最小スポットサイズを G 、配線幅拡大作業前の最大配線間隔を M 、配線幅拡大作業後の最大配線間隔を F 、第1（第2）方向の i 回目の作業後に生じる第1（第2）の方向の最大配線間隔を T_i 、配線幅拡大作業の作業回数を n として、次のような手順で行うことができる。

【0053】（1）配線パターン及びダミー配線パターンを合成する。

【0054】（2）合成された配線パターンの非配線部に対応する反転パターンを作成し、これを $T_1/2$ アンダーサイズし、第1方向（例えばX方向）に $-T_1/2$ 移動させ、正規配線パターンとダミー配線の合成配線パターンに密着させて合成する。

【0055】（3）必要に応じて、（2）の手順を繰り返す。即ち、配線幅を大きくする作業回数を n としたとき、第 i 回目の作業は、 $i-1$ 回目までの作業で合成された配線パターンについて、その反転パターンを作成し、これを $T_1/2$ アンダーサイズし、第1方向に $(-1)^i \times (T_1/2)$ 移動させ、第 $i-1$ 回目までの作

業で合成された配線パターンと合成する。ここで、第1方向への移動量 $T_1/2$ に $(-1)^i$ の係数を乗じているのは、第 $i-1$ 回目と第 i 回目で反対側の正規配線に密着させるためである。

【0056】（4）（2）若しくは（3）により形成された配線パターンに対し、 $(S-G)/2$ アンダーサイズし、同じ量のオーバーサイズを施して、第1方向の作業で生じたノッチを消す。

【0057】（5）（4）で形成された配線パターンの反転パターンを作成し、これを $T_1/2$ アンダーサイズし、第2方向（例えばY方向）に $-T_1/2$ 移動させ、（4）で形成された配線パターンと密着させて合成する。

【0058】（6）必要に応じて、（5）の手順を繰り返す。即ち、配線幅を大きくする作業回数を n としたとき、第 i 回目の作業は、第 $i-1$ 回目までの作業で合成された配線パターンの反転パターンを作成し、これを $T_1/2$ にアンダーサイズし、第2方向に $(-1)^i \times (T_1/2)$ 移動させ、第 $i-1$ 回目までの作業で合成された配線パターンに密着させて合成する。

【0059】（7）（5）又は（6）により形成された配線パターンに対し、 $(S-G)/2$ アンダーサイズし、同じ量のオーバーサイズを施して、第2方向の作業で生じたノッチを消す。

【0060】ここで、前記パラメータは、次式の関係を満足させる。

【0061】

$$M - T_1 < S \quad \dots (1)$$

$$T_{i-1} - T_i < S \quad \dots (2)$$

$$M - T_1 < L \quad \dots (3)$$

$$T_{i-1} - T_i < L \quad \dots (4)$$

$$M > T_1 > \dots > T_i > \dots > T_n = F \quad \dots (5)$$

$$n \leq (M - F) / G \quad \dots (6)$$

【0062】このようにして、ダミー配線を設けることのできない、 S 以上、 $L+2S$ 未満の配線間隔を、両側の正規配線を太らせることによって、 $F=2S$ 迄縮小することができる。

【0063】次に、第1発明に係る具体例である第2実施形態を詳細に説明する。

【0064】本実施形態においては、最小配線幅 L を $1.4\mu\text{m}$ 、最小配線間隔 S を $1.0\mu\text{m}$ としている。又、パターニングを行うためには、レチクルを利用する必要があるが、レチクルを作成するためには、そのための最小スポットサイズ G が存在する。ここでは、これを $0.1\mu\text{m}$ としている。

【0065】図2は、従来技術によりダミー配線が挿入された状態を示す。

【0066】図2のようなパターンを、第1発明により、例えばX方向2回、Y方向2回の計4回の操作で、 $2 \times S = 2.0\mu\text{m}$ 以下とする。本実施形態では、前出

BEST AVAILABLE COPY

(6)

特開平10-163210

(1)式及び(2)式を満足するような、 T_1 、 T_2 の値として、 $T_1 = 2.6 \mu\text{m}$ 、 $T_2 = 2.0 \mu\text{m}$ を選んだ。ここで、 T_2 として選んだ $2.0 \mu\text{m}$ が、最終状態での配線間隔の最大値 F であり、これが最小配線間隔 S の2倍となるようにする。

【0067】まず、X方向の配線幅を太らせる作業を行う。図9に示すように、図8の配線領域の反転パターンを

$$T_1 / 2 = 2.6 / 2 = 1.3 \mu\text{m}$$

アンダーサイズした、X方向の第1の仮想配線パターン50を発生させる。

【0068】次いで、この仮想配線パターン50をX方向に

$$(-1)^1 \times (T_1 / 2) = (-1)^1 \times 1.3 = -1.3 \mu\text{m}$$

移動させ、図10に示す如く、左側の正規配線に密着させる。密着した仮想配線パターンを正規配線と合成することによって、配線幅をX方向に太らせる1回目の作業が終了する。

【0069】次に、配線幅をX方向に太らせる2回目の作業を同様に行う。即ち、図11に示す如く、図10の配線パターンを反転した非配線部のパターンを

$$T_2 / 2 = 2.0 / 2 = 1.0 \mu\text{m}$$

アンダーサイズした、X方向の第2の仮想配線パターン52を発生させ、この仮想配線パターン52をX方向に

$$(-1)^2 \times T_2 / 2 = (-1)^2 \times 1.0 = 1.0 \mu\text{m}$$

移動させて右側の正規配線に密着させた後、正規配線と合成することによって、図12に示すような配線パターンが得られる。

【0070】次いで、図12に示すような配線パターンに対して、配線ルールに違反しているノッチ50Nを消すために、該配線パターンを

$$(L-G) / 2 = (1.4 - 0.1) / 2 = 0.65 \mu\text{m}$$

アンダーサイズし、オーバーサイズする。これによって配線ルールに違反するノッチ部分(本実施形態では第1の仮想配線パターン50の全体)が消されて、図13に示すような配線パターンが得られる。

【0071】これで、X方向の配線を太らせる作業が終了し、次に、Y方向の配線を太らせる作業を行う。

【0072】具体的には、図14に示すように、図13の配線層の反転パターンを

$$T_1 / 2 = 2.6 / 2 = 1.3 \mu\text{m}$$

アンダーサイズすることによって、Y方向の第1の仮想配線パターン54を発生させる。次に、この仮想配線パターン54をY方向に

$$(-1)^1 \times T_1 / 2 = (-1)^1 \times 1.3 = -1.3 \mu\text{m}$$

移動して、図15に示す如く、図の下側の正規配線に密着させ、正規の配線と合成して、図16に示すような配線パターンを得る。これで、配線幅をY方向に太らせる

1回目の作業が終了する。

【0073】次に、配線幅をY方向に太らせる2回目の作業を同様に行う。即ち、図16の配線層の反転パターンを

$$T_2 / 2 = 2.0 / 2 = 1.0 \mu\text{m}$$

アンダーサイズしてY方向の第2の仮想配線パターン56を発生させ、Y方向に

$$(-1)^2 \times T_2 / 2 = (-1)^2 \times 1.0 = 1.0 \mu\text{m}$$

移動して、図の上側の正規配線に密着させた後、配線パターンと合成して、図17に示すような新たな配線パターンを得る。

【0074】次いで、この配線パターンに対して仮想配線パターンのノッチ56Nを消すために、

$$(L-G) / 2 = (1.4 - 0.1) / 2 = 0.65 \mu\text{m}$$

アンダーサイズし、オーバーサイズする。この作業によって、配線ルールに違反するパターンが消去される。最終的に得られたパターンは図18に示す如く、 F が $2S$ となっている。

【0075】この作業により設計され、作成された配線用レチクルを用いて、配線層を形成する。具体的には、半導体基板上に予め形成されたMOSトランジスタ上に第1の絶縁膜を設け、この第1の絶縁膜にコンタクトホールを開口し、例えば、アルミニウムの配線層を堆積させ、図18のようなパターンに基づいてパターンニングを行う。次に、1層目の配線と2層目の配線を分離する層間絶縁膜を、例えば塗布絶縁膜等により形成し、所定のヴィアホールを開口する。それ以降の上層配線の形成においても、1層目と同様な手法を用いて形成し、半導体チップを完成することができる。

【0076】本実施形態においては、仮想配線パターンの幅を、目標配線間隔を得るために必要な配線太らせ幅の略半分の値として、当該配線間スペースに面する両側の配線パターンに2回で割り振るようにしていたので、最小作業回数で、配線間スペースの両側の配線を太らせることができる。なお、配線拡大作業の回数 n は2回に限定されず、仮想配線パターンの所定幅を最大配線幅以下の所定値とし、該所定値を小さくしながら、目標配線間隔になるまで、当該配線間スペースに面する複数の配線パターンに、繰返し割り振ることも可能である。この場合には、配線拡大作業回数 n を大きくして、少しずつ両側の通常配線に割り振ることによって、両側の通常配線を太らせる幅をほぼ同一とすることができ、配線への容量増加に関し、平均的に分けられることができる。この場合のノッチを除去する操作は、前記実施形態と同様に毎回行っても、あるいは、最後にまとめて行ってもよい。

【0077】又、前記説明では、MOSトランジスタの場合を例にとっていたが、第1発明の対象はこれに限定

BEST AVAILABLE COPY

(7)

特開平10-163210

されず、多層配線構造を有するものであれば、バイポーラ型トランジスタ等、他の半導体装置にも同様に適用できることは明らかである。

【0078】次に、第2発明に係る第3実施形態を詳細に説明する。

【0079】本実施形態は、図33に示したような配線折れ曲がり部において、図19に示す如く、外側の配線コーナーに45°の隅付けをすることにより、配線折れ曲がり部の配線間隔を配線直進部の配線間隔以下としたものである。

【0080】本実施形態における成膜工程を、従来例の図34、図35、図36と対比させて図20、図21、図22に示す。図19の配線パターンにおいて、従来例と同様に、配線段差6000Åで上層配線との間の最低絶縁膜厚が7000Åとなる平坦な絶縁膜を形成する場合について説明する。

【0081】予めシリコン基板（図示省略）上に、層間絶縁膜16と、その上に形成される厚さ6000Åの金属配線20が、図19のパターンを用いて通常の方法により形成されているものとする。このとき、パターン内で最も広い配線間隔である図19のF-F線に沿う断面図は、図20に示す如くなる。この状態から、P-TEOS CVD装置を用いて、上部配線との間を絶縁する絶縁膜22を形成する。P-TEOS CVD装置では、配線上部と側壁での成膜比が5対2となるので、図20に示した配線間1.2μmを埋め込むためには、図21に示す如く、約14000Åの膜厚が必要となる。P-TEOS CVD装置で安定した膜を1回に成膜できる最大膜厚は9000Åであるので、7000Åを2回に分けて成膜する。成膜後の形状は図21に示す如くなる。この状態から、CMPにより7000Å研磨して、図22に示すような所望の平坦な絶縁膜形状が得られる。

【0082】このように、図20の配線パターンを使用した場合は、絶縁膜を2回に分けて14000Å成膜し、CMPにて7000Å研磨することで、図22の平坦な絶縁膜22を形成できる。

【0083】CMP法で研磨する場合、削る量が大いくと、研磨後の表面の面内均一性が低下することが経験的に知られているが、本実施形態によれば、CMP法による研磨量を14000Åから7000Åに減らすことができるので、スループットが向上するだけでなく、面内均一性も良くなる。なお、研磨方法はCMP法に限定されない。

【0084】本実施形態においては、外側の配線パターンに隅付けするだけであるので、折れ曲がり部の配線間隔は、直進部の配線間隔の1/√2になってしまうものの、配線パターンの設計は容易である。

【0085】なお、配線折れ曲がり部の配線間隔を、図33に示したような、単純な折れ曲がりパターンの場合

よりも狭める方法は、これに限定されず、図23に示す第4実施形態のように、外側の配線コーナーに隅付けをすると共に、内側の配線コーナーを隅切りすることも可能である。この場合には、折れ曲がり部の配線間隔を、直進部の配線間隔に近い間隔とすることができる。

【0086】

【発明の効果】本発明によれば、半導体装置の表面を平坦化することができる。

【0087】特に、第1発明によれば、ダミー配線が挿入できない配線間隔であっても、CAD上の自動的作業という簡単な方法で、両側の配線層幅を拡大して、配線間隔を縮小することが可能となる。従って、上層配線のカバーレッジをより向上させ、配線不良をなくし、より信頼性の高い配線を、製造方法を単純化して形成することができる。

【0088】又、配線のカップリング容量が問題となる場合においても、最終の配線間隔最大値Fを適当に選ぶことで、最適化が可能となる。

【0089】又、第2発明によれば、所望の平坦な絶縁膜を得るための、研磨前の絶縁膜の膜厚を必要最小限に薄くできるので、成膜装置及び研磨装置のスループットを向上し、製造原価を低減できる。又、CMP法で平坦化する場合には、研磨量を少なくすることができ、平坦性が向上する。

【図面の簡単な説明】

【図1】第1発明に係る第1実施形態を説明するための、ダミー配線挿入前の正規の回路パターンを示す上面図

【図2】図1の回路パターンに対してダミー配線を挿入した状態を示す上面図

【図3】図2の配線間隔を、第1発明により最小配線間隔を減少させた具体例を示す上面図

【図4】第1実施形態で、正規配線の間に第1の仮想配線パターンを発生させた状態を示す上面図

【図5】第1実施形態で第1の仮想配線パターンを左側の正規配線に密着させた状態を示す上面図

【図6】第1実施形態で第2の仮想配線パターンを発生させた状態を示す上面図

【図7】第1実施形態で第2の仮想配線パターンを右側の正規配線に密着させた状態を示す上面図

【図8】図7の回路パターンにおいて、ノッチを消した状態を示す上面図

【図9】図2の回路パターンでX方向に配線幅を拡大するために、X方向の第1の仮想配線パターンを発生させた状態を示す上面図

【図10】図9の第1の仮想配線パターンを左側の回路パターンに密着させた状態を示す上面図

【図11】図10の回路パターンで、X方向の第2の仮想配線パターンを発生させた状態を示す上面図

【図12】図11の第2の仮想配線パターンを右側の回

BEST AVAILABLE COPY

(8)

特開平10-163210

路パターンに密着させた状態を示す上面図

【図13】図12の回路パターンのノッチを消した状態を示す上面図

【図14】図13の回路パターンでY方向に配線幅を拡大するために、Y方向の第1の仮想配線パターンを発生させた状態を示す上面図

【図15】図14の第1の仮想配線パターンを下側の回路パターンに密着した状態を示す上面図

【図16】図15におけるそれまでの回路パターンと第1の仮想配線パターンを合成した状態を示す上面図

【図17】図16の回路パターンで、Y方向の第2の仮想配線パターンを発生させ、上側の回路パターンに密着させた状態を示す上面図

【図18】図17の回路パターンのノッチを消して得られた最終的な回路パターンを示す上面図

【図19】第2発明に係る第3実施形態による配線パターンの例を示す平面図

【図20】図19のF-F線に沿う断面図

【図21】図20の金属配線上に絶縁膜を形成した直後の状態を示す断面図

【図22】図21の絶縁膜を所定厚さまで研磨した後の状態を示す断面図

【図23】第2発明に係る第4実施形態による配線パターンの例を示す平面図

【図24】従来のMOS型トランジスタにおける多層配線の例を示す上面図

【図25】図24の配線パターンに、ダミー配線を追加した状態を示す上面図

【図26】十分な配線間隔があるところにダミー配線を挿入した従来の状態を示す上面図

【図27】配線間隔が足りないところにダミー配線を配置しようとした従来の状態を示す上面図

【図28】従来技術の問題点を説明するための、半導体チップの断面図

【図29】金属配線上に絶縁膜を形成した直後の従来の状態を示す断面図

【図30】図29の絶縁膜を研磨した後の状態を示す断面図

【図31】カバレッジの悪い成膜方法で配線上に絶縁膜を形成した従来の状態を示す断面図

【図32】従来の成膜比を説明するための線図

【図33】従来の単純な折れ曲がりパターンの例を示す平面図

【図34】図33のE-E線に沿う断面図

【図35】図34の金属配線上に絶縁膜を形成した直後の状態を示す断面図

【図36】図35の絶縁膜を所定厚さまで研磨した後の状態を示す断面図

【符号の説明】

10…半導体基板

12…拡散層領域

16…第1層間絶縁膜

17…コンタクトホール

18…下層配線

20、20R、20L…配線

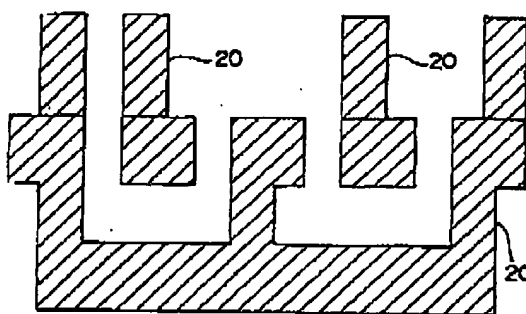
21…ダミー配線

22…絶縁膜

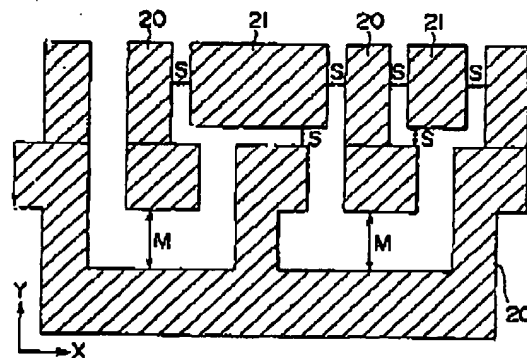
50、52、54、56…仮想配線パターン

50N、52N、56N…ノッチ

【図1】



【図2】

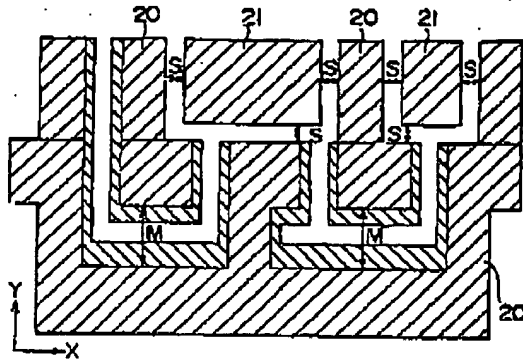


BEST AVAILABLE COPY

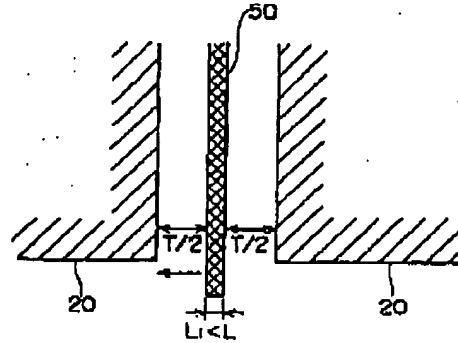
(9)

特開平10-163210

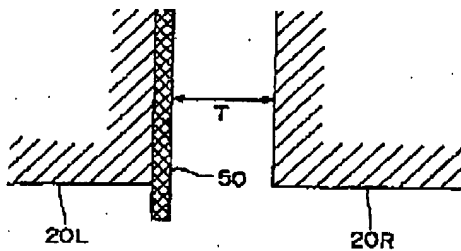
【図3】



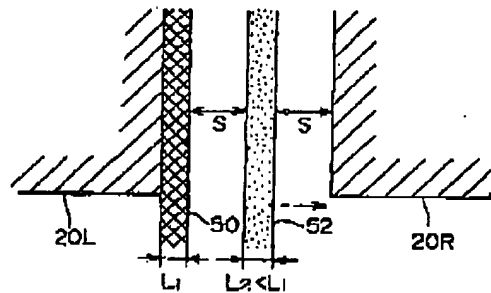
【図4】



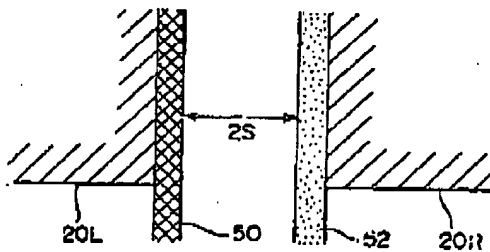
【図5】



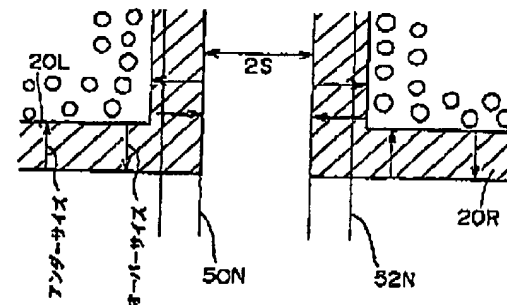
【図6】



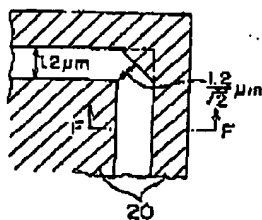
【図7】



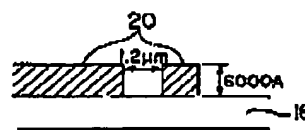
【図8】



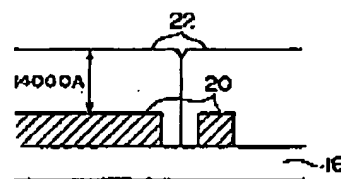
【図19】



【図20】



【図21】

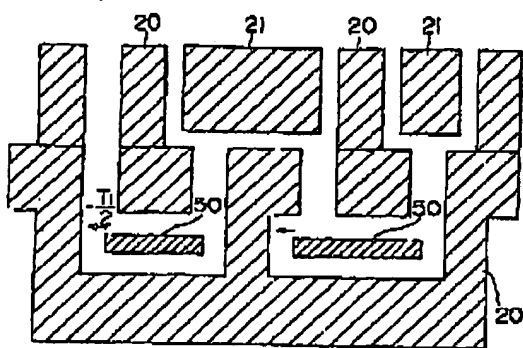


BEST AVAILABLE COPY

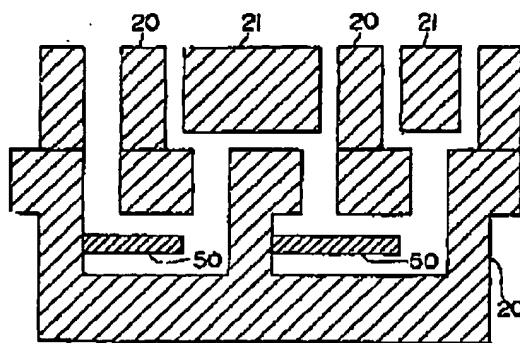
(10)

特許平10-163210

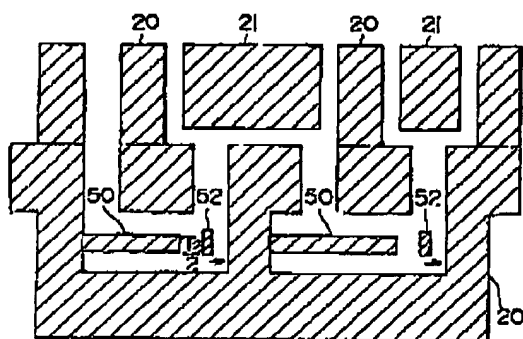
【図9】



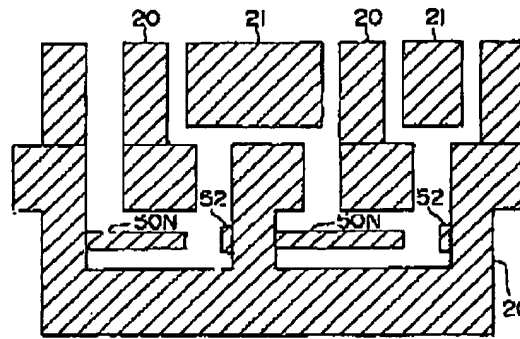
【図10】



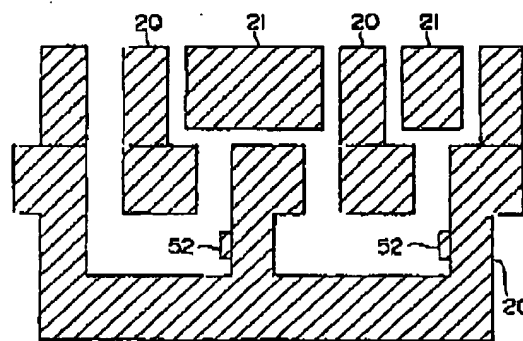
【図11】



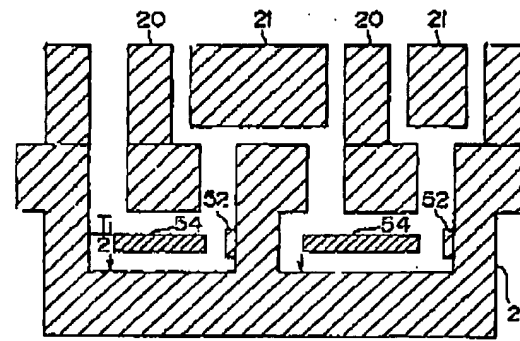
【図12】



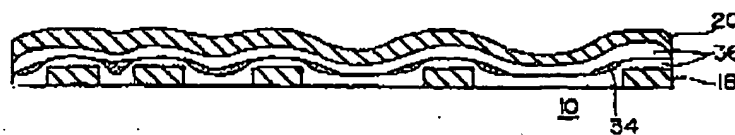
【図13】



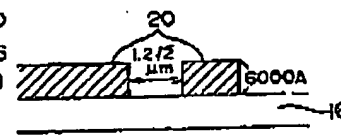
【図14】



【図28】



【図34】

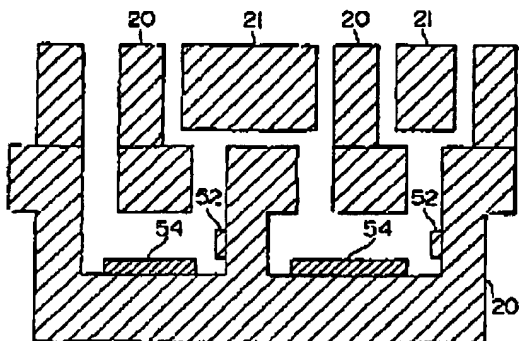


BEST AVAILABLE COPY

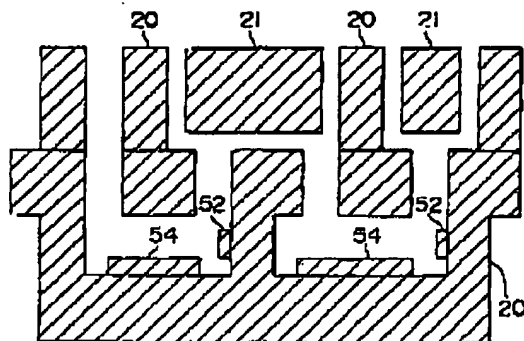
(11)

特開平10-163210

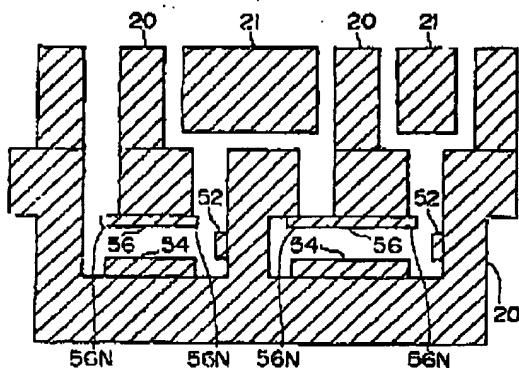
【図15】



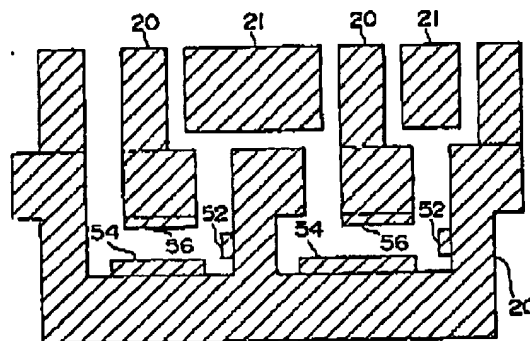
【図16】



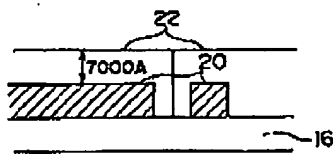
【図17】



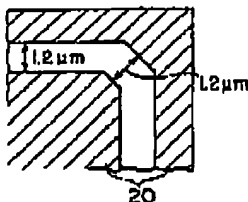
【図18】



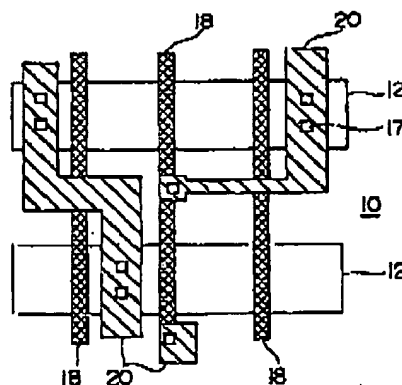
【図22】



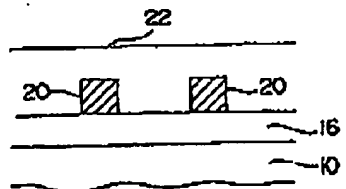
【図23】



【図24】



【図30】

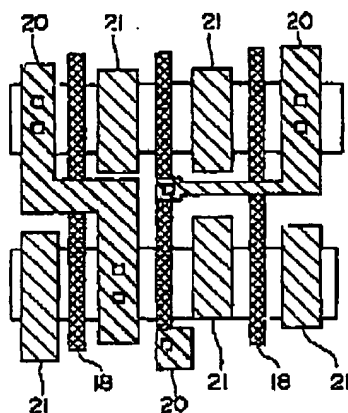


BEST AVAILABLE COPY

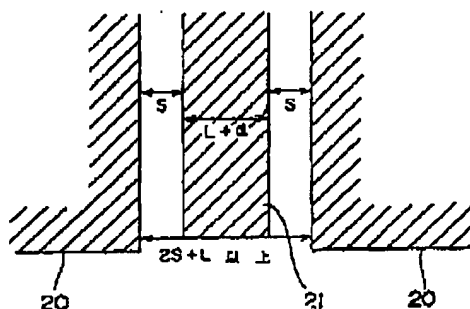
(12)

特開平10-163210

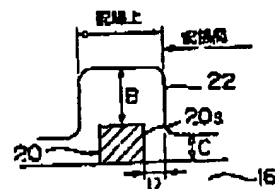
【図25】



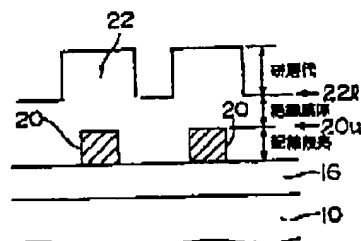
【図26】



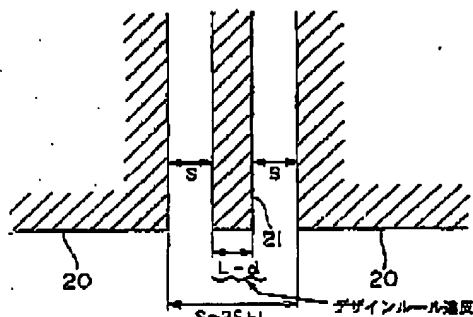
【図32】



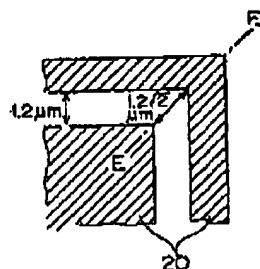
【図29】



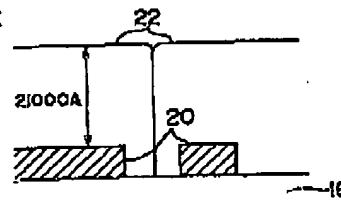
【図27】



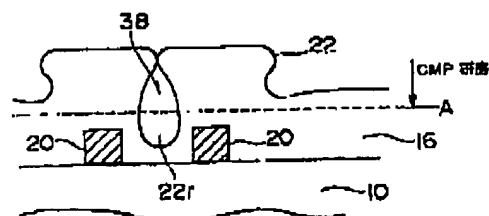
【図33】



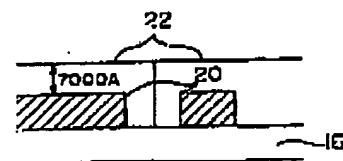
【図35】



【図31】



【図36】



BEST AVAILABLE COPY

(13)

特開平10-163210

フロントページの続き

(72)発明者 水野 真
東京都千代田区内幸町二丁目2番3号 川
崎製鉄株式会社東京本社内
(72)発明者 清水 利宏
東京都千代田区内幸町二丁目2番3号 川
崎製鉄株式会社東京本社内
(72)発明者 藤島 正章
東京都千代田区内幸町二丁目2番3号 川
崎製鉄株式会社東京本社内

(72)発明者 塩原 甲二
山梨県甲府市大里町465番地 バイオニア
ビデオ株式会社内
(72)発明者 土屋 至
山梨県甲府市大里町465番地 バイオニア
ビデオ株式会社内
(72)発明者 八木 康雄
山梨県中巨摩郡田舎町西花輪2680番地 バ
イオニア株式会社内

BEST AVAILABLE COPY